

CLIPPEDIMAGE= JP409293822A

PAT-NO: JP409293822A

DOCUMENT-IDENTIFIER: JP 09293822 A

TITLE: SEMICONDUCTOR DEVICE WITH LEAD FRAME FOR POWER  
SOURCE ONLY

PUBN-DATE: November 11, 1997

INVENTOR-INFORMATION:

NAME

YANO, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP08105312

APPL-DATE: April 25, 1996

INT-CL (IPC): H01L023/50;H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the number of power source pins, increase the number of semiconductor signal pins, and reduce the size and cost of a semiconductor package.

SOLUTION: A metal lead frame for use in assembling of a semiconductor device has a lead frame 101 for VDD power source only and a semiconductor supporting lead frame 102 also used for a VSS power source. A semiconductor device 103 is adhered to an insulation adhesive to the latter lead frame 102. The former lead frame 101 is located vertically above an electric signal transmitting lead frame 108 and formed as a ring surrounding the periphery of the semiconductor device 103. Owing to this structure, any semiconductor pad

can be connected  
through a binding wire to the power-only lead frame.

COPYRIGHT: (C)1997, JPO

**SEMICONDUCTOR DEVICE**

Patent Number: JP9092775  
Publication date: 1997-04-04  
Inventor(s): OTAKA TATSUYA;; HATANO KAZUHISA;; MURAKAMI HAJIME;; YONEMOTO TAKAHARU;; YOSHIOKA OSAMU  
Applicant(s): HITACHI CABLE LTD  
Requested Patent: ☐ JP9092775  
Application Number: JP19950244204 19950922  
Priority Number (s):  
IPC Classification: H01L23/50  
EC Classification:  
Equivalents: JP3163961B2

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To make a package small in thickness in a CSP (Chip Scale Package) structure by which a lead frame of the same size is mounted on a semiconductor chip.  
**SOLUTION:** A lead frame 4 to be adhered to a semiconductor chip 1 is almost the same in size as the chip 1. The surface 4e of an inner lead 4a of the lead frame 4 is coined to form a coined part 5 with reduced thickness. The lead frame 4 and the end surface 1c of the chip 1 are adhered to each other with a double-faced adhesive tape 3 interposed. The coined part 5 of the inner lead 4a is connected with a bonding pad 2 of the chip 1 through a bonding wire 9. The surface 1a of the chip 1 is packaged with a mold resin 8, thereby exposing only the surface 4c of an outer lead 4b on the packaged resin surface 8a.

---

Data supplied from the esp@cenet database - I2

4はボンディングワイヤーであり、VDD電源パッド107はボンディングワイヤー104によってVDD電源専用リードフレーム101に電気的に接続される。これにより半導体装置103にVDD電源が供給される。106はVSS電源パッド、105はボンディングワイヤーであり、VSS電源パッド106はボンディングワイヤー105によって、VSS電源兼用半導体支持リードフレーム102に電気的に接続される。これにより、半導体装置103にVSS電源が供給される。半導体装置103はVSS電源パッド106及び、VDD電源パッド107が多くあればあるほど安定動作し有利になる。前述した構造にしたためVDD電源専用リードフレーム101およびVSS電源兼用半導体支持リードフレーム102に対して複数ボンディングでき、なおかつ他のボンディングワイヤーと接触しないように接続することが出来る。

【0009】また、109は電気信号入力パッドであり、電気信号入力パッド109を電気信号伝達用リードフレームではなく、VDD電源専用リードフレーム101およびVSS電源兼用半導体支持リードフレーム102へボンディングワイヤー110を使って接続することにより、半導体装置の一部分のみを活性化させたり、半導体装置の機能を変更するのに使用することができる。

【0010】なお、本実施例ではVDD電源専用リードフレーム101の形状が半導体装置の周辺を囲むように輪を形成しているが、半導体装置の1辺以上ととなり合うような棒状としたVDD電源専用リードフレームでも、同様の効果を得ることが出来る。

【0011】

【発明の効果】以上述べたように、本発明によれば半導体装置の周囲に電源専用リードフレームを備えたことにより、どのパッドからでもボンディングワイヤーによって電源のリードフレームに接続することができ、電源ビ

ンが一对であっても複数の電源パッドに接続することが出来る。これにより半導体装置の安定動作に寄与することが出来る。さらに電源ピンを複数設ける必要が無いため、半導体パッケージの小型化、低コスト化に寄与する事が出来る。

【0012】また、電気信号入力パッドをVDD、およびVSSに接続することにより、半導体装置の一部分のみを活性化させたり、半導体装置の機能を変更することが可能となり、機能確認のみに端子を設ける必要が無くなるという効果も有する。

【図面の簡単な説明】

【図1】本発明の一実施例を垂直上方向から見た電源専用リードフレーム付半導体装置の簡略化した平面図。

【図2】従来の半導体装置の簡略化した平面図。

【符号の説明】

101	...	VDD電源専用リードフレーム
102	...	VSS電源兼用半導体支持リードフレーム
103	...	半導体装置
104、105、110	...	ボンディングワイヤー
106	...	VSS電源パッド
107	...	VDD電源パッド
108	...	電気信号伝達用リードフレーム
109	...	電気信号入力パッド
201	...	VDD電源リードフレーム
202	...	VSS電源リードフレーム
203	...	半導体装置支持用リードフレーム
204	...	半導体装置
205	...	ボンディングワイヤー
206	...	VDD電源パッド
207	...	VSS電源パッド
208	...	信号パッド

## 【特許請求の範囲】

【請求項1】半導体装置の組立に使用する金属製リードフレームにおいて、半導体装置を支える電源兼用半導体支持リードフレームと電気信号を伝達するためのリードフレームと電源専用リードフレームとからなり、半導体装置を支えるリードフレームと半導体装置とを電気的に接続するボンディングワイヤーによって接続され、電気信号を伝達するためのリードフレームはボンディングワイヤーによって半導体装置のパッド部分と電気的に接続され、さらに電源専用リードフレームは、電気信号を伝達するためのリードフレームの垂直上方向に位置し、垂直上方向から見たとき、半導体装置の周辺を囲むように輪を形成したリードフレームを配置したことを特徴とする電源専用リードフレーム付半導体装置。

【請求項2】前記電源専用リードフレームが前記電気信号を伝達するためのリードフレームの垂直下方向に位置することを特徴とする請求項1記載の電源専用リードフレーム付半導体装置。

【請求項3】前記電源専用リードフレームが前記半導体装置の1辺以上ととなり合うような棒状としたリードフレームを配置したことを特徴とする請求項1記載の電源専用リードフレーム付半導体装置。

【請求項4】前記電源専用リードフレーム、または前記電源兼用半導体支持リードフレームと前記半導体装置の電源パッド以外のパッドとをボンディングワイヤーによって電気的に接続したことを特徴とする請求項1記載の電源専用リードフレーム付半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の組立に使用するリードフレームに関する。

## 【0002】

【従来の技術】従来の半導体装置の組立に使用するリードフレームを、図2により説明する。図2は、従来の一実施例の半導体装置を示しており、201はVDD電源リードフレーム、202はVSS電源リードフレームであり、この例では電源用として使っている。204は半導体装置、203は半導体装置支持用リードフレーム、205はボンディングワイヤー、206はVDD電源パッド、207はVSS電源パッドであり、半導体装置204は半導体支持用リードフレームに接着し固定してある。また、VDD電源リードフレーム201はボンディングワイヤー205によってVDD電源パッド206に電気的に接続している。これにより、半導体装置204にVDD電源を供給している。同様にVSS電源リードフレーム202はボンディングワイヤー205によって、VSS電源パッド207に電気的に接続される。これによりVSS電源を半導体装置204に供給している。209は電気信号伝達用リードフレーム、208は信号パッドであり、電気信号伝達用リードフレーム20

9はボンディングワイヤー205によって信号パッド208に電気的に接続されている。これにより、電気信号を半導体装置204に入力あるいは出力する事が出来る。

## 【0003】

【発明が解決しようとする課題】上記の従来の半導体装置の組立に使用するリードフレームは、一つの電源パッドに対して一つのリードフレームを必要としていたため、電源ピンが電源パッド分だけ必要となり、ピン数の増加、半導体パッケージの大型化、組立コストの増加をまねくという課題を有する。

【0004】また、半導体装置を安定して動作させるためにはどうしても複数電源ピンを設ける必要が生じ、電源ピン数を減らすことが難しかった。

【0005】そこで、本発明はこのような課題を解決するもので、その目的とするところは、電源ピン数を増加させる事なく、半導体装置を安定動作させるところにある。

## 【0006】

【課題を解決するための手段】本発明の電源専用リードフレーム付半導体装置は、半導体装置の組立に使用する金属製リードフレームにおいて、半導体装置を支える電源兼用半導体支持リードフレームと電気信号を伝達するためのリードフレームと電源専用リードフレームとからなり、半導体装置を支えるリードフレームと半導体装置とを電気的に接続するボンディングワイヤーによって接続され、電気信号を伝達するためのリードフレームはボンディングワイヤーによって半導体装置のパッド部分と電気的に接続され、さらに電源専用リードフレームは、電気信号を伝達するためのリードフレームの垂直上方向に位置し、半導体装置の周辺を囲むように輪を形成したリードフレームを配置したことを特徴とする。

## 【0007】

【発明の実施の形態】以下、本発明の一実施例を図面により説明する。

【0008】図1は、本発明の一実施例における電源専用リードフレーム付半導体装置を示しており、101はVDD電源専用リードフレーム、108は電気信号伝達用リードフレーム、102はVSS電源兼用半導体支持リードフレーム、103は半導体装置であり、半導体装置103はVSS電源兼用半導体支持リードフレーム102の上に絶縁性の接着剤によって絶縁するように張り付けてある。また、VDD電源専用リードフレーム101は、電気信号伝達用リードフレーム108の垂直上方向に位置し、半導体装置103の周辺を囲むように輪を形成して配置されている。さらに図1に示したVDD電源専用リードフレーム101の右上、左下へのびる部分はVDD電源ピンとして半導体パッケージの外に出され、なおかつ、VDD電源専用リードフレーム101を支える役割を果たす。107はVDD電源パッド、10

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293822

(43) 公開日 平成9年(1997)11月11日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	X
				K
21/60	3 0 1		21/60	3 0 1 B

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願平8-105312  
(22) 出願日 平成8年(1996)4月25日

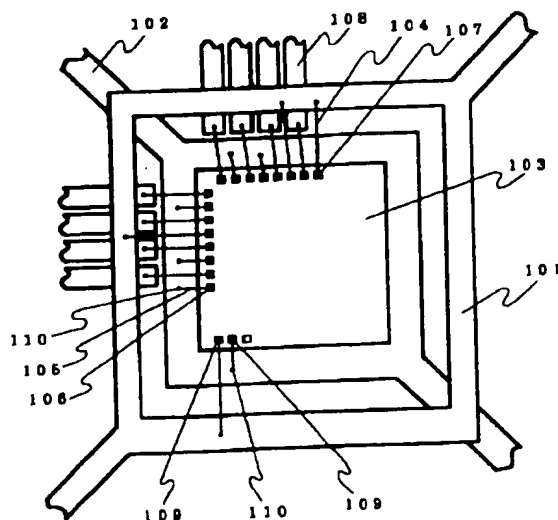
(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72) 発明者 矢野 博之  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 電源専用リードフレーム付半導体装置

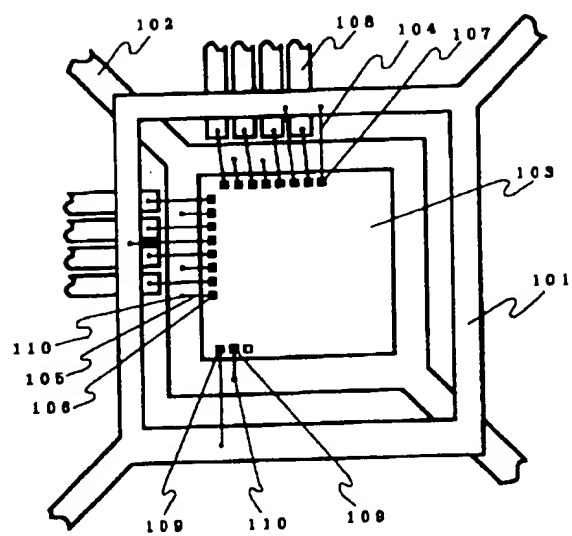
(57) 【要約】

【解決手段】半導体装置の組立に使用する金属製リードフレームにおいて、VDD電源専用リードフレーム101とVSS電源兼用半導体支持リードフレーム102を設けた。VSS電源兼用半導体支持リードフレーム102の上には、半導体装置103が絶縁性の接着剤によって張り付けてある。またVDD電源専用リードフレーム101は、電気信号伝達用リードフレーム108の垂直上方向に位置し、半導体装置103の周辺を囲むように輪を形成して配置されている。この構造により、どの半導体パッドからでもボンディングワイヤーによって電源専用リードフレームに接続することができる。

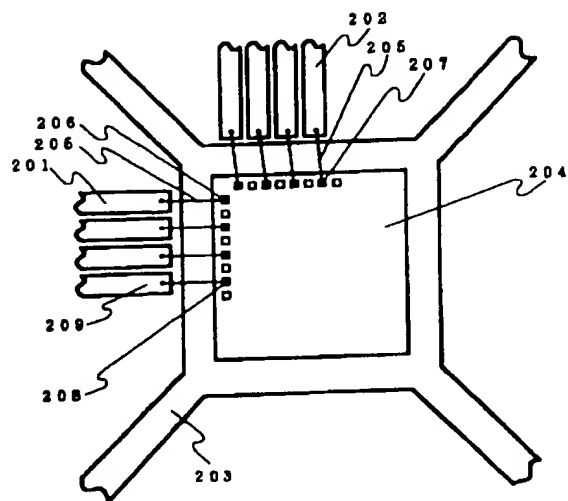
【効果】電源ピン数の減少、半導体信号ピンの増加、半導体パッケージの小型化、コストの減少を得ることが出来る。



【図1】



【図2】



ップを回路基板に異方性導電フィルムを用いて短絡することなく低抵抗で接続して極めて低コストで、高信頼性を有する半導体ベアチップ実装を実現することができる効果を奏する。

【図面の簡単な説明】

【図1】本発明に係るバンプレスのフリップチップアタッチ実装方式の第1の実施の形態を示す断面図である。

【図2】図1に示す実装方式で実装された半導体素子実装構造体を示す断面図である。

【図3】図1に示す加熱圧着ヘッドを示す斜視図である。

【図4】加熱圧着ヘッドに形成する突起の形状の一実施の形態を示す拡大図である。

【図5】加熱圧着ヘッドに形成する突起の形状の他の実施の形態を示す拡大図である。

【図6】図1に示す第1の実施の形態において異方性導電フィルムをバンプレス半導体チップに貼り付ける場合を示した図である。

【図7】図1に示す第1の実施の形態において異方性導電フィルムをフレキシ回路基板に貼り付ける場合を示した図である。

【図8】本発明に係るバンプレスのフリップチップアタッチ実装方式の第2の実施の形態を説明するための回路基板に形成した独立した接続パッド部の一実施の形態を示す斜視図である。

【図9】図8に示す回路基板上に形成された接続パッド部を用いて実装した半導体素子実装構造体を示す断面図

である。

【図10】本発明に係るバンプレスのフリップチップアタッチ実装方式の第2の実施の形態を説明するための回路基板に形成した独立した接続パッド部の他の実施の形態を示す斜視図である。

【図11】図10に示す回路基板上に形成された接続パッド部を用いて実装した半導体素子実装構造体を示す断面図である。

【図12】従来のワイヤボンド法によるベアチップ実装構造を示す図である。

【図13】従来の金バンプと半田によるベアチップ実装構造を示す図である。

【図14】従来の金バンプと導電性接着剤によるベアチップ実装構造を示す図である。

【図15】従来の金バンプと異方性導電フィルムによるベアチップ実装構造を示す図である。

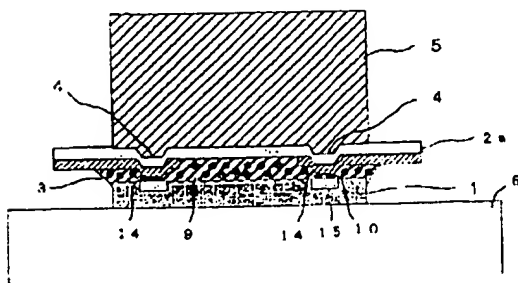
【図16】従来の金バンプと異方性導電フィルムによるベアチップ実装構造組立て法を示す図である。

【符号の説明】

1…バンプレス半導体チップ、 2a…フレキシブルプリント基板、 2b…回路基板、 2c…回路基板、 3…異方性導電フィルム、 4…突起、 5…加熱圧着ヘッド、 8…配線パターン（導体）、 9…エポキシ樹脂、 10…導電粒子、 11…導体からなる突起（接続パッド部）、 12…突起（接続パッド部）、 13…突起状の接続パッド部、 15…電極

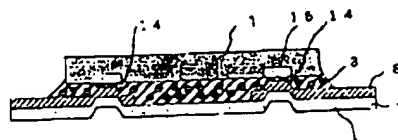
【図1】

図1



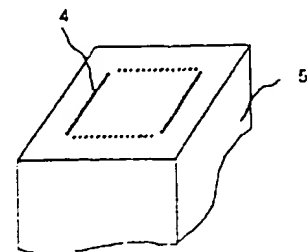
【図2】

図2



【図3】

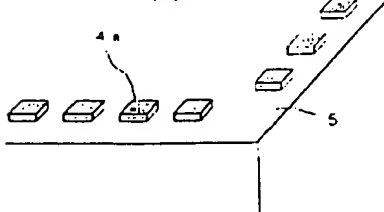
図3



【図6】

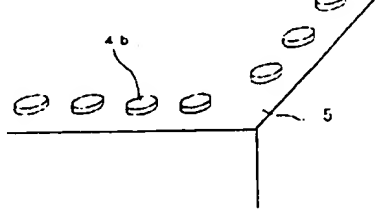
【図4】

図4



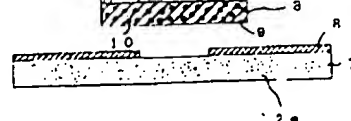
【図5】

図5



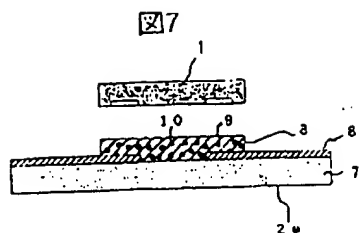
【図6】

図6

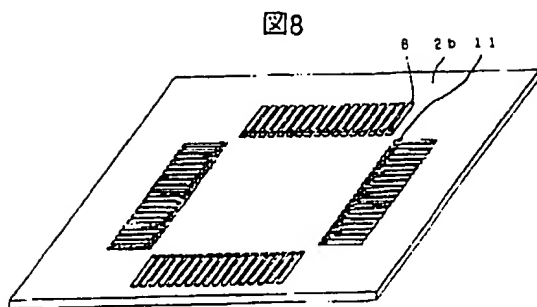




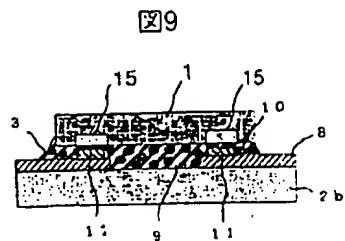
【図7】



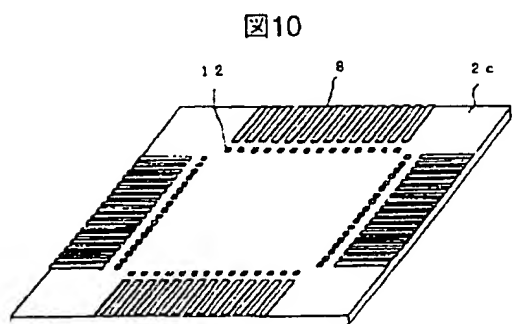
【図8】



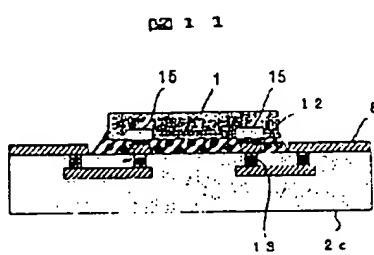
【図9】



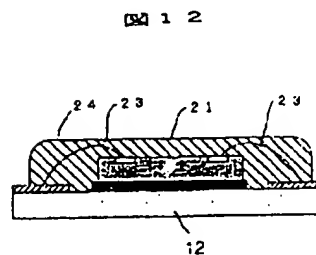
【図10】



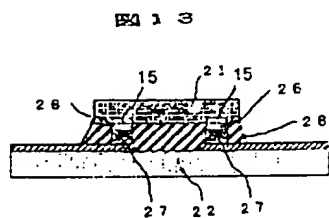
【図11】



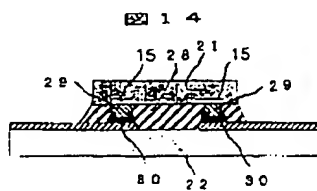
【図12】



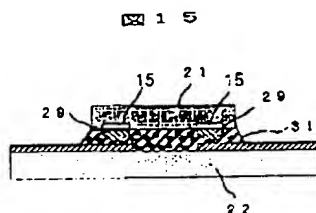
【図13】



【図14】



【図15】



【図16】

